

## Implémentation sur DSP de la couche logicielle SFSK et de l'interface avec la couche physique définie par le protocole PLAN

Théodore TOTOZAFINY<sup>1\*</sup>, Zo REZIKY<sup>2</sup> et Adolphe RATIARISON<sup>2</sup>

<sup>1</sup> Institut Supérieur des Sciences et Technologies de Mahajanga, Université de Mahajanga,  
Bâtiment Ex-LOLO Mahajanga be, Madagascar

<sup>2</sup> Laboratoire de la Dynamique de l'Atmosphère du Climat et des Océans, Faculté des Sciences,  
Université d'Antananarivo, Madagascar

---

\* Correspondance, courriel : [theodore.totozafiny@gmail.com](mailto:theodore.totozafiny@gmail.com)

### Résumé

Cet article présente un algorithme pour implémenter la couche logicielle de la modulation SFSK sur Digital Signal Processor (DSP). L'interface avec la couche physique définie dans le protocole PLAN est aussi abordée permettant l'envoi des trames sur réseau électrique. Les différentes étapes de l'implémentation, comme le choix du PLL, la synchronisation à 50Hz et les contraintes matérielles sont abordées. Le critère maximum de gain est utilisé afin d'optimiser l'algorithme. L'expérience que nous avons réalisée pour tester notre algorithme, consiste à envoyer et à recevoir des requêtes Courant Porteur en Ligne (CPL) formatés selon le protocole PLAN à travers le réseau électrique. Cette étude a été réalisée au sein d'un industriel et qui nous a permis de maîtriser l'atténuation du signal CPL par les bruits blancs et les perturbations électromagnétiques dus aux arrêts et redémarrages des appareils connectés sur le réseau. Le banc de test est en cours de mise en œuvre afin de réaliser des expériences terrains sur le réseau de distribution électrique de Madagascar.

**Mots-clés :** *CPL, DSP, SFSK, algorithme, critère maximum gain.*

### Abstract

**Implementation on DSP of the software layer of SFSK modulation and of the physical layer interface defined in the PLAN protocol**

This paper describes an implementation of the software layer algorithm of the SFSK modulation on Digital Signal Processor (DSP). The interface with the physical layer defined in the PLAN protocol is also developed for sending frames on electric network. The steps of the implementation, such as, PLL choice, synchronization at 50Hz and material constraints are taken account. The criterion of maximum gain is used to optimize the algorithm. The experiment that we have conducted to check our algorithm is sending and receiving the requests Power Line Communication (PLC) signal formatted on PLAN protocol through the electric network. This study was carried out in industrial that allowed us to control the attenuation of the PLC signal by white noise and Electromagnetic disturbance due to shutdowns and restarts of connected devices on the network. The test bench is in progress to achieve the experiments electrical distribution network in Madagascar.

**Keywords :** *PLC, DSP, SFSK, algorithm, maximum gain criterion.*

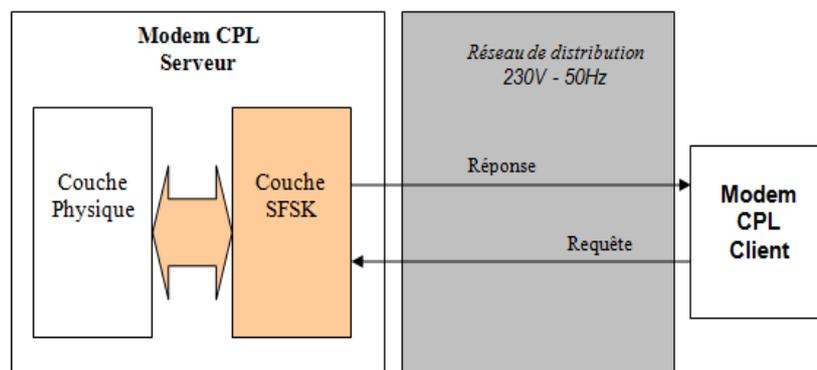
## 1. Introduction

Madagascar rénove son infrastructure technique réseau de distribution électrique vers un réseau performant et intelligent. Le département R & D de la société qui gère le réseau étudie la faisabilité de la transmission par Courant Porteur en Line (CPL) utilisant le protocole PLAN afin de paramétrer à distance les équipements connectés sur le réseau [1, 2]. La couche physique du protocole PLAN est utilisée pour encapsuler le signal CPL transmis vers le réseau électrique basse tension [3]. Le modem serveur (généralement, les compteurs électriques communicants) transmet les informations au modem client (généralement, les concentrateurs) à travers le réseau électrique. Ce sont les éléments clés pour assurer le bon de fonctionnement de la transmission par CPL. L'implémentation sur un DSP de la couche logicielle SFSK nécessite une optimisation accrue afin d'assurer la modulation et la démodulation en temps réel du signal CPL transmis. Ceci permet la gestion de la modulation en émission, de la démodulation en réception, le contrôle automatique de gain et de la synchronisation 50 Hz et l'interface avec la couche physique. La problématique est la contrainte matérielle liée au temps d'occupation du CPU [4] comme, le faible temps de réponse, bonne résolution temporelle et la bonne immunité contre le bruit dus aux appareils connectés sur le réseau. Nous avons réalisé une implémentation complète de la transmission des données par le CPL utilisant le protocole PLAN. Le modem serveur envoie de trames CPL et en reçoit une confirmation. L'implémentation de la modulation SFSK est optimisée à l'aide du critère basique *Maximum de gain*. L'application de cette étude est le réseau de distribution électrique de Madagascar afin de savoir la faisabilité de la communication Courant Porteur en Line.

## 2. Méthodologie

### 2-1. Synoptique d'implémentation

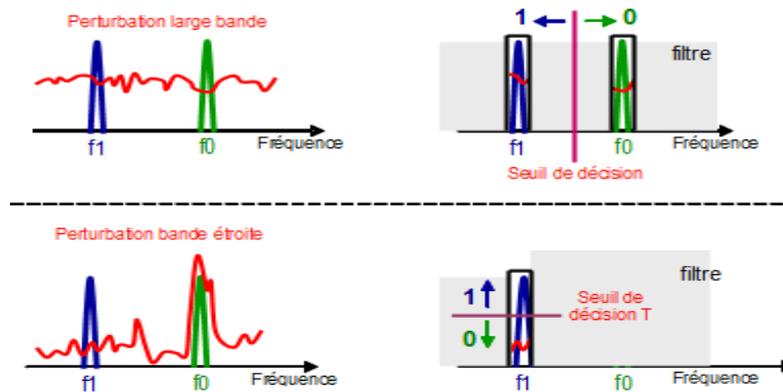
La trame à envoyer est encapsulée avec l'interface couche physique, définie par le protocole PLAN [5]. Nous avons utilisée un DSP Texas Instruments pour notre étude [6]. L'implémentation proposée est portable sur d'autre fabricant. L'implémentation consiste à intégrer dans le DSP le calcul de la modulation SFSK, la gestion des signaux PWM, la synchronisation et le formatage de la trame en se conformant avec la norme du protocole PLAN. Le package est ensuite envoyé vers le réseau par une raquette. L'optimisation de l'algorithme est nécessaire pour réduire le temps de calcul car le temps d'attente de la réponse est limité selon la spécification du protocole PLAN. Le scénario de fonctionnement est représenté par la **Figure 1**.



**Figure 1** : Synoptique de l'implémentation

**2-2. Modulation Spread Frequency Shift Keying (SFSK)**

L'émetteur affecte la fréquence  $F_s$  (74 KHz,  $s = \text{Space}$ ) à la donnée "0" et la fréquence  $F_m$  (63.3 KHz,  $m = \text{Mark}$ ) à la donnée "1". Les fréquences  $F_s$  et  $F_m$  sont éloignées l'une de l'autre appelé l'étalement. En plaçant le signal  $F_s$  éloigné du signal  $F_m$ , la qualité de leurs transmissions respectives devient indépendante des perturbations en bandes étroites que l'on trouve fréquemment sur le réseau électrique. Le récepteur effectue une démodulation FSK classiques aux deux fréquences possibles, ce qui génère deux signaux démodulés  $d_S$  et  $d_M$ . Si la qualité de réception moyenne (mesurée à partir rapport signal sur bruit) des deux demi-canaux est similaire (**Figure 2**), l'unité de décision opte pour le canal démodulé le plus élevé ("donnée 0" si  $d_S > d_M$ , "donnée 1" si  $d_S < d_M$ ). Le mode de fonctionnement dans ce cas est le SFSK. Si la qualité de réception moyenne de l'un des deux demi-canaux est meilleure que celle de l'autre, l'unité de décision compare le signal démodulé du meilleur canal à un seuil  $T$ , ignorant l'autre canal. Le mode de fonctionnement sur ce canal est alors ASK (Amplitude Shift Keying). Les mesures de rapport signal sur bruit et le calcul du seuil sont réalisées durant la pause de la communication qui précède la transmission de la trame. La modulation SFSK est une modulation robuste contre les perturbations en bande étroite. Elle permet des transmissions de données même lorsqu'une des deux fréquences est complètement masquée par le bruit sur le réseau électrique.



**Figure 2 : Modulation SFSK**

**2-3. Utilisation des ressources du DSP**

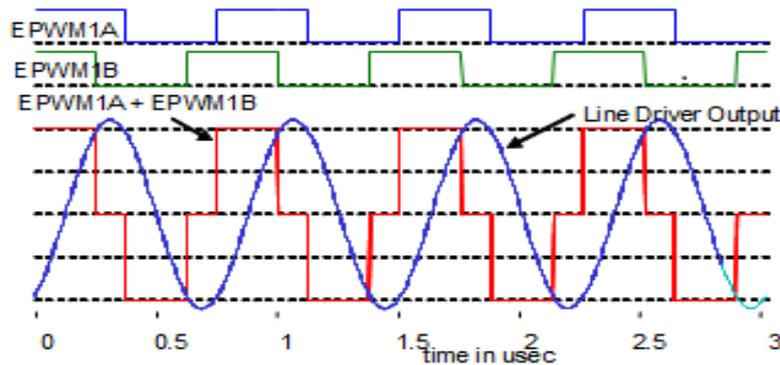
L'implémentation du protocole PLAN a été réalisée avec un souci d'optimisation constant notamment au niveau du temps d'utilisation machine. Ainsi la couche SFSK monopolise le DSP sur une durée qui doit être inférieure à 50 % du temps de cycle. La charge du CPU est de 2.2 us sur un temps de cycle de 5.92 us en démodulation simple et de 2.4 us en démodulation avec recherche de synchronisation. Ceci laisse une marge très confortable pour l'application et permet de pouvoir envisager le passage sur un DSP moins performant 60 MHz par exemple. La couche SFSK utilise 60 % des ressources RAM de 6 K soit 16 bit word au total, ce qui laisse près de 2.4 K word disponible pour les couches supérieures du protocole et l'application.

**2-4. Emission**

**2-4-1. Gestion des signaux PWM**

Afin de diminuer l'amplitude des harmoniques 3 générés sur le réseau et de pouvoir limiter le nombre d'étages du filtre analogique externe pour passer les normes d'émission CEM [3], nous utilisons deux sorties PWM pour générer le signal.

Ces deux signaux EPWM1A et EPWM1B sont activés selon le principe décrit dans la **Figure 3**. Le timer PWM1 est initialisé avec la valeur de la période de la porteuse à générer. Le comparateur EPWM1A est configuré de façon à avoir en sortie un signal carré de rapport cyclique  $\frac{1}{2}$  à la fréquence de la porteuse à générer : front montant à  $T/2$  et front descendant à  $T$ . Le comparateur EPWM1B est configuré de façon à avoir en sortie un signal équivalent : signal carré de rapport cyclique  $\frac{1}{2}$  à la fréquence de la porteuse, mais avec une avance de phase égale à  $T/6$  : front montant à  $T/3$  et front descendant à  $5T/6$ . La somme des signaux EPWM1A et EPWM1B est réalisée par le premier étage de filtrage analogique.



**Figure 3 :** Schéma de principe de la génération du signal utilisant deux sorties PWM

Afin de diminuer l'amplitude des harmoniques 2 générés sur le réseau et d'utiliser au mieux les possibilités du driver de sortie (2 AOP dans le même boîtier), on propose un schéma électrique avec une configuration différentielle. Pour cela nous deux autres sorties PWM, EPWM2A et EPWM2B sont utilisées. Elles sont gérées de la même façon que les précédentes mais avec les sorties déphasées en  $180^\circ$ . Au repos l'EPWM1A est positionné à 1 et EPWM1B à 0. De manière symétrique, on a EPWM2A à 0 et EPWM2B à 1. Chaque fois que l'on est en mode d'émission, on active la sortie TX\_ENABLE à l'état bas (Au repos, elle est à l'état haut). A la fin d'un time slot d'émission et si la couche SFSK n'a pas reçu d'autres demande d'émission entre temps, on se positionne automatiquement en mode réception pour le time slot suivant.

#### 2-4-2. Gestion du gain maximal

L'amplitude maximale de sortie est obtenue pour les signaux EPWM1 et EPWM2 en opposition de phase. En faisant varier ce déphasage de  $180^\circ$  à  $0^\circ$ , on diminue le signal de sortie jusqu'à une amplitude quasiment nulle lorsque EPWM1 et EPWM2 sont en phase. Les valeurs de déphasage correspondant aux atténuations désirées sont les suivantes :  $0\text{ dB} \Rightarrow 0^\circ$ ;  $6\text{ dB} \Rightarrow 122^\circ$ ;  $21\text{ dB} \Rightarrow 172^\circ$

Il est possible d'atténuer les porteuses de manière dissymétrique en réglant des déphasages différents pour le 63,3 KHz et pour le 74 KHz.

#### 2-4-3. Synchronisation

Il est important de rappeler que la trame est émise sur la position du Delta\_Phase, à partir du front descendant du Slot Indicator. Dans notre implémentation, l'émission est toujours alignée sur le front descendant du Slot Indicator. Cette fonctionnalité est en effet suffisante pour le modem CPL serveur qui n'aura jamais à émettre en dehors des positions fondamentales de Delta\_phase. Par contre dans le cas du client, il a été prévu de pouvoir décaler l'émission par rapport au front descendant du Delta\_phase (positionné tous les  $15^\circ$ ), de la valeur du Delta\_chip d'émission sur une plage maximale égale  $+9^\circ/-6^\circ$ .

Un timer est programmé avec la durée du bit. A la fin de chaque bit s'il y a changement d'état, on modifie les périodes des timers PWM pour générer la nouvelle porteuse, les changements de fréquence aux transitions de bit étant continus en phase. Pour assurer la synchronisation du timer de bit avec le signal ZC\_OUT, la transition des bits est déclenchée par le débordement du timer sur les 23 premiers bits puis par l'interruption gérant les transitions du signal ZC\_OUT pour le 24<sup>ème</sup>.

## 2-5. Réception

Il s'agit d'une fonction particulièrement importante déterminant une implémentation efficace du protocole. Plusieurs algorithmes de démodulation existent dans la littérature et reposent aux critères suivants :

- l'utilisation la plus faible possible des ressources (mémoire et temps CPU) permettant le développement aisé de l'application sur le même DSP ;
- le faible temps de réponse et bonne résolution temporelle de l'analyse du signal afin de permettre le traitement de la synchronisation bit, ou la détermination relativement précise de la transition entre les bits et donc du démarrage de la trame pour la synchronisation trame 50 Hz ;
- la bonne immunité contre le bruit. Ce critère est fondamental. N'oublions pas en effet que la modulation SFSK a été introduite pour cette raison, car le réseau est un milieu particulièrement pollué soumis à des perturbations aléatoires, isolées ou répétitives, à des impulsions de toutes sortes, ondes de choc, ondes oscillatoires amorties, transitoires rapides, bruits impulsifs, etc.

La norme spécifie un test de performance par rapport à un bruit impulsif à une fréquence de 100 Hz et de 1 KHz [3]. Il y a aussi des perturbations continues telles que le bruit blanc et brouilleur de bande étroite. Il a été également demandé de faire un test de performance par rapport à un brouilleur dont la fréquence varie de 20 KHz à 95 KHz que nous avons étendu jusqu'à 150 KHz. L'algorithme doit donc apporter une réponse dans chacune de ces configurations.

### 2-5-1. Choix de la fréquence d'échantillonnage

La méthode basée sur un principe d'autocorrélation a été utilisée avec le signal échantillonné à 60,9 KHz. On travaille sur le repliement des fréquences porteuses 63,3 KHz et 74 KHz respectivement à 2,4 KHz et 13,1 KHz. Le compromis entre un faible taux d'utilisation « CPU » et un échantillonnage correct du signal est trouvé à 168,8 KHz. Une telle fréquence permet d'implémenter des canaux de filtrage assez sélectifs centrés sur chacune des porteuses avec un temps de calcul au moins inférieur d'un rapport deux à la période d'échantillonnage à 5,924 us. La fréquence est juste supérieure au critère de Shannon pour chacune des porteuses (rapport 2,28 pour 74 KHz et 2,666 pour 63,3 KHz). Par ailleurs, on admet le repliement d'un brouilleur à 94,8 KHz sur le canal de la porteuse 74 KHz, ainsi que le repliement d'un brouilleur à 105,5 KHz sur le canal de la porteuse 63,3 KHz respectivement, ce phénomène étant compensé par la sélectivité des filtres d'analyse et par le fait que la démodulation est toujours opérationnelle sur le canal symétrique non brouillé. Dans une optique d'analyse FFT sur 16 points consécutivement au filtrage, une telle fréquence permet de récupérer la porteuse 63,3 KHz exactement sur la raie n°6 et quasiment toute l'énergie de la porteuse 74 KHz sur la raie n°7

### 2-5-2. Canaux de filtrage numérique

Deux canaux de filtrage sont créés en parallèle. Le canal 1 centré sur la fréquence 63,3 KHz et le canal 0 centré sur la fréquence 74 KHz. On requiert une sélectivité relativement sévère. L'idée étant qu'un brouilleur soit complètement atténué dans le canal 0 lorsqu'il commence à rentrer dans le canal 1 et inversement.

Il s'agit de filtres à réponse impulsionnelle finie évitant toute déformation excessive du signal. Le temps d'établissement du filtre est compatible avec la vitesse de communication 1200 bauds de tel sort que tous les bits restent toujours visibles. Le signal est seulement retardé d'un temps fixe évalué approximativement à  $6^\circ$  par rapport à un signal « *Zerocrossing* » à 50 Hz soit 333 us.

### 2-5-3. Démodulation par intégration de l'autocorrélation

Lorsque la synchronisation est réalisée et que les fenêtres d'analyse des bits sont déjà positionnées, l'algorithme de démodulation peut être appliqué sur l'une ou l'autre voie d'acquisition (avec gain ou sans gain). Pour chaque échantillon, on effectue l'intégration de la fonction d'autocorrélation du signal sur la durée d'un bit. Le résultat de l'intégration est analysé en fin de bit puis remis à zéro pour l'analyse sur le bit suivant :

$$\sum_{\text{duréedu bit}} (x_n \cdot x_{n-4}) \text{ sur le canal 1 ; porteuse à } 63,3 \text{ KHz} \quad (1)$$

$$\sum_{\text{duréedu bit}} (x_n \cdot x_{n-8}) \text{ sur le canal 0 ; porteuse à } 74 \text{ KHz} \quad (2)$$

On note que  $x_n$  et  $x_{n-4}$  sont en opposition de phase ce qui donne leur multiplication toujours un résultat négatif. On prend donc l'opposé dans le calcul d'intégrale pour avoir quelque chose de positif à la fin. Pour une fréquence d'échantillonnage de 168,8 KHz et une vitesse de communication de 1200 bauds, il y a approximativement 140 échantillons par bits. On peut en ajuster le nombre pris pour l'intégrale et l'on a intérêt à restreindre le calcul aux échantillons qui sont au centre du bit pour éviter de diminuer artificiellement le rapport signal à bruit du fait de l'élargissement des bits du au filtrage numérique. Ainsi l'arrivée d'un bit à 0 dans le canal 0 provoque une bouffée de signal à la transition des bits dans le canal 1 et inversement. Si l'on divise par le nombre d'échantillons et si l'on prend la racine carrée du résultat, on obtient un résultat en Volt qui est homogène à une tension efficace :

$$S = \sqrt{\frac{\sum_n (x_n \cdot x_{n-4})}{n}} \text{ pour le canal 1} \quad (3)$$

$$S = \sqrt{\frac{\sum_n (x_n \cdot x_{n-8})}{n}} \text{ pour le canal 0} \quad (4)$$

On doit enlever l'offset continu du signal et que les résultats d'échantillonnage doivent au préalable être mis à l'échelle :

$$x_n = (\text{val} * (3V / 4096)) - 1,49 \text{ V} \quad (5)$$

On effectue ces calculs pendant la réception du préambule pour obtenir les valeurs de signal et de bruit dans chacun des canaux.

**2-5-4. Démodulation avec recherche de synchronisation**

Lorsque qu'on recherche la synchronisation, on doit acquérir les deux voies en même temps et analyser les deux canaux pour chacune d'elles. On ne peut préjuger qu'une voie est meilleure que l'autre car on ne connaît pas les conditions de signal et de bruit environnant. Afin de ne pas multiplier le temps de calcul par deux, une opération de décimation est appliquée à la sortie des filtres numériques : On ne calcule qu'un point sur deux alternativement pour la voie sans gain puis pour la voie avec gain, chaque calcul étant effectué sur l'ensemble des échantillons acquis à 168,8 KHz. On a donc à la sortie des canaux de filtrage des signaux numériques échantillonnés à 84,4 KHz sans aucun problème de repliement. Les formules des calculs d'autocorrélation doivent être adaptées en fonction de cette nouvelle fréquence d'échantillonnage :

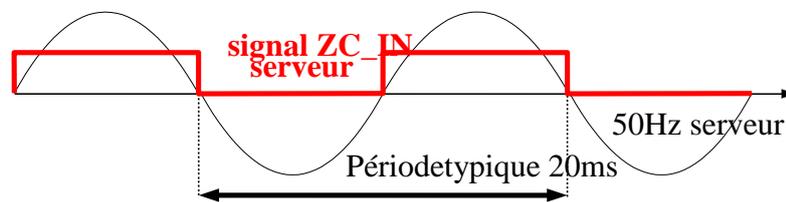
$$S = \sqrt{\frac{\sum_n (x_n \cdot x_{n-2})}{n}} \text{ pour le canal 1} \tag{6}$$

$$S = \sqrt{\frac{\sum_n (x_n \cdot x_{n-4})}{n}} \text{ pour le canal 0} \tag{7}$$

Dans ce cas, le nombre n d'échantillons doit être divisé par deux pour une durée équivalente d'acquisition. Pendant la recherche de synchronisation, l'analyse est effectuée avec une résolution de 3°. Comme pour la démodulation sans recherche de synchronisation, on part plutôt d'une valeur fixe d'angle avec adaptation du nombre d'échantillons en fonction de la fréquence secteur. Dans ce mode également, les calculs ont été optimisés pour obtenir un temps aux alentours de 2,4 us pour deux voies analysées.

**2-5-5. Synchronisation à 50 Hz**

C'est également une fonction très importante dans l'implémentation du protocole puisqu'elle permet de repérer le début des trames en réception par rapport aux passages par zéro « ZeroCrossing » de l'onde secteur et d'émettre avec une bonne synchronisation pour un fonctionnement optimal de la répétition de concert prévue par le protocole PLAN et d'adapter la vitesse de communication en fonction de la fréquence du secteur.



**Figure 4 : Signal entrée ZC\_IN**

Le protocole prévoit une adaptation de la vitesse de communication en fonction de la fréquence du secteur qui peut varier de 45 à 55 Hz pour un réseau 50 Hz. Ce signal d'entrée est essentiel pour le bon fonctionnement du protocole de communication. Il est cependant peut être entaché d'un certain nombre de perturbations : Des ondes de choc 1,2 us/50 us peuvent provoquer des impulsions isolées de durée égale à 50 us typiquement en positif ou négatif et distribuées aléatoirement par rapport à l'onde 50 Hz.

Des ondes oscillatoires amorties dont les plus gênantes sont à 100 KHz peuvent donner des trains d'impulsions eux aussi distribués aléatoirement entre 5 et 15 périodes.

## 2-6. Algorithme de filtrage

Plusieurs techniques ont été envisagées pour assurer le filtrage du signal ZC\_IN. Dans le cadre de cette étude, nous avons opté pour l'implémentation logicielle d'une boucle à verrouillage de phase PLL (*Phase Locked Loop*) [7, 8]. Le schéma de principe de celle-ci comporte classiquement un comparateur de phase, un filtre passe bas et un VCO. Il s'agit d'un système bouclé d'ordre deux. On peut régler le comportement aux variations brusques de fréquence.

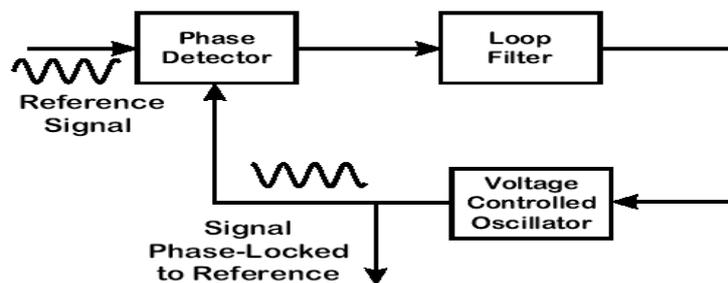


Figure 5 : Schéma de principe d'une PLL

La capture des temps  $U_n$  et  $U'_n$  est réalisée grâce à l'entrée ECAP2 du DSP.

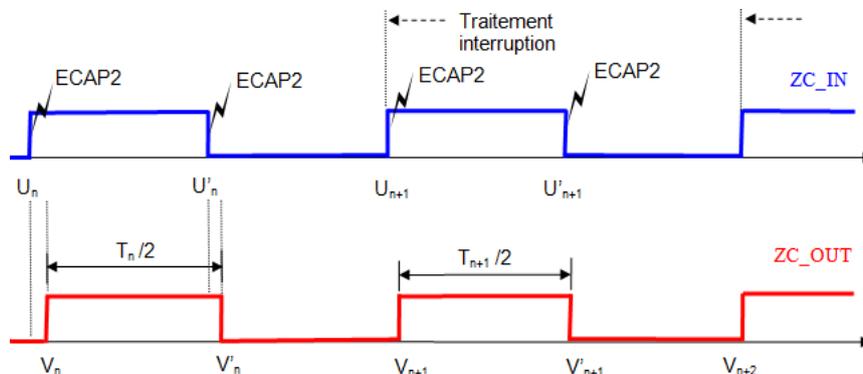


Figure 6 : Représentation temporelle de l'évolution du signal filtré ZC\_OUT

Ces signaux sont :

- $U_n$  : temps associés aux fronts montants du signal ZC\_IN.
- $U'_n$  : temps associés aux fronts descendants.
- Le temps  $U_{n+1}$  ( $U'_{n+1}$ ) n'est validé qu'à la condition suivante (filtrage des glitches) :

$$(U_{n+1} - U_n) > (7/8 \times T_n) \quad (8)$$

$$(U'_{n+1} - U'_n) > (7/8 \times T_n) \quad (9)$$

Où  $T_n$  est la période moyenne calculée à l'indice  $n$ .

Le calcul de la période filtrée  $T_{n+1}$  à partir du temps  $U_{n+1}$  et de l'ancienne valeur  $U_n$  mémorisée :

$$T_{n+1} = (1 - a) * T_n + a * (U_{n+1} - U_n) \quad (10)$$

Où  $1/a$  est la constante de temps du filtre du 1<sup>er</sup> ordre en fréquence. Il est important de noter que plus la valeur de  $a$  est élevée, plus la PLL suit rapidement les variations de fréquence. La mesure du temps  $Q_n$  pendant lequel  $ZC\_IN$  est à 1 entre les instants  $V_n$  et  $V'_n$ . Les quatre valeurs  $U_n, U'_n, V_n$  et  $V'_n$  sont connues :

$$Q_n = \min(U'_n, V'_n) - \max(U_n, V_n) \quad (11)$$

Le calcul de  $E_n$ , indicateur du sens d'évolution de la phase, est effectué de manière suivante :

$$E_n = +1 \text{ si } (U_{n+1} - V_n - T_n) \geq 0 \quad (12)$$

$$E_n = -1 \text{ si } (U_{n+1} - V_n - T_n) < 0 \quad (13)$$

Le calcul de  $D_n$ , décalage de phase instantané est réalisé par :

$$D_n = E_n * ((T_n/2) - Q_n) + K \quad (14)$$

Où  $K$  est une constante permettant de régler un déphasage fixe entre le deux signaux  $ZC\_IN$  et  $ZC\_OUT$ .

Au départ, on prend  $D_n = 0$ . On a toujours  $((T_n/2) - Q_n) \geq 0$ . Le calcul de  $P_n$  (filtrage de  $D_n$ ) est réalisé par :

$$P_{n+1} = (1 - b) * P_n + b * D_n \quad (15)$$

Où  $1/b$  est la constante de temps du filtre du 1<sup>er</sup> ordre en phase.

Le calcul des indices temporels  $V'_{n+1}$  et  $V_{n+2}$  est effectué par :

$$V'_{n+1} = V_{n+1} + (T_{n+1} / 2) \quad (16)$$

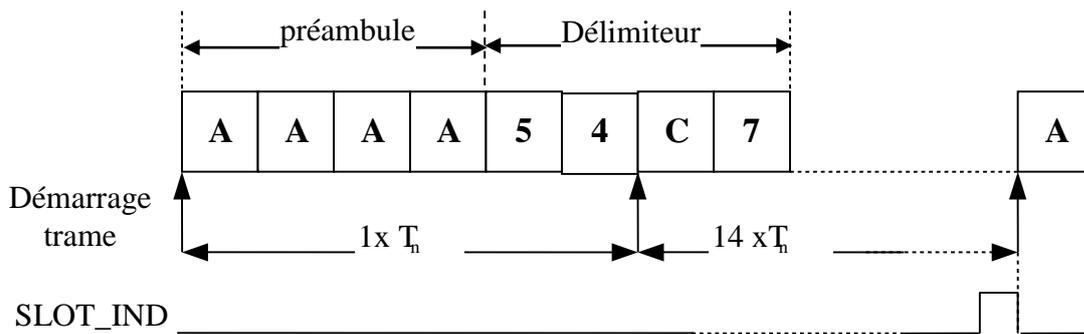
$$V_{n+2} = V_{n+1} + T_{n+1} + P_{n+1} \quad (17)$$

### 3. Résultats et discussion

Nous avons implémenté les différentes étapes de notre algorithme. Il est difficile de présenter tous les résultats de chaque étape de l'implémentation. Cependant, les points clés sont discutés.

#### 3-1. Génération des Slot Indicators

Au repos la sortie est à l'état zéro et une impulsion à l'état haut d'une durée équivalente à 1 bit =  $T_n/24$  est générée au début de chaque « *Time slot* » de communication, le front descendant de l'impulsion correspondant à la valeur de décalage de phase. Après réception et validation du préambule, on récupère la position du prochain Slot Indicator avec la transition entre l'octet 54 et l'octet C7 du délimiteur : il suffit de compter ensuite 14 périodes  $T_n$  à partir de ce point.

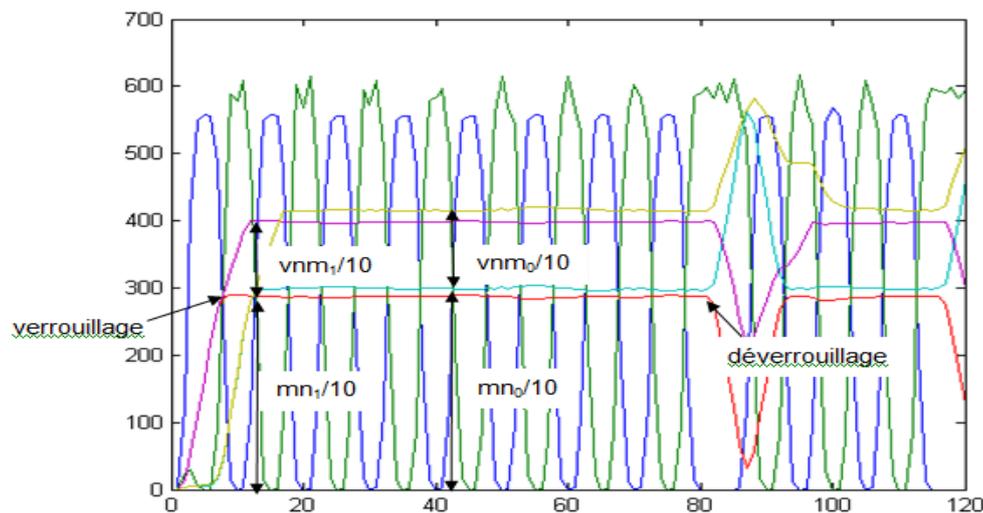


**Figure 7 : Positionnement du slot indicator**

Si pendant le time-slot précédent, aucune demande d'émission n'a été émise par les couches supérieures, le serveur est positionné en réception sur le nouveau Time-slot. Il examine à partir de la position de décalage la réception éventuelle d'un bit à un de  $0$  à  $15^\circ$ , à zéro de  $15$  à  $30^\circ$  et ainsi de suite. En l'absence de signal reçu sur les premiers bits, il est possible de repasser à l'état de repos jusqu'au prochain time-slot.

### 3-2. Recherche de synchronisation

L'idée est de reconnaître la clé de synchronisation, c'est-à-dire une alternance de 1 et de 0 pendant une durée bien déterminée correspondant au 16 bits du préambule AAAA. On détecte un verrouillage (une stabilisation de la moyenne glissante des résultats d'autocorrélation), puis un déverrouillage (une évolution rapide et importante de cette moyenne), **Figure 8**. Pour durcir cette détection, pendant la durée du verrouillage on compte le nombre de transitions du signal d'autocorrélation par rapport à la moyenne glissante.



**Figure 8 : Recherche de synchronisation**

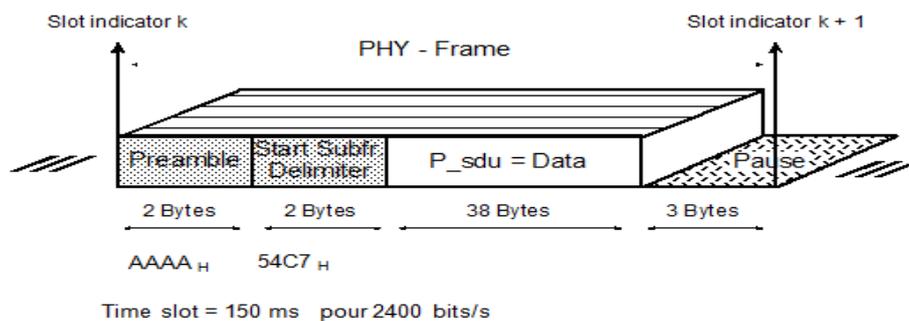
Lorsqu'une trame CPL arrive avec un déphasage tel qu'elle se trouve à cheval avec les fenêtres fixes d'analyse des bits en réception, il n'est pas possible de détecter la synchronisation ni de démoduler la trame et ceci que l'on soit dans l'état synchronisé ou non synchronisé.

### 3-3. Calcul delta phase

Nous avons analysé sous Matlab deux méthodes de mesure du Delta\_phase. Dans la première méthode, on calcule la position moyenne du centre du premier bit par un repérage des transitions montantes et descendantes du signal « un » (sur les 6 ou 7 derniers bits du préambule) par rapport à la moyenne glissante « mn/10 » et on repère ensuite le décalage d'indice par rapport à la dernière transition sur le signal « fr » (compteur de trame variant de 0 à 14, les transitions correspondant à un front montant du signal ZC\_OUT). Dans la seconde, on fait la corrélation du signal « un » avec un signal sinusoïdal normalisé synchronisé avec l'indice de transition du signal « fr ». Les deux méthodes donnant des résultats équivalents en termes de robustesse. On a choisi la deuxième méthode car les calculs sont basiques.

### 3-4. Structure d'une trame

Comme indiqué dans la **Figure 9**, après le préambule et le délimiteur, on doit recevoir 38 octets de données. A la fin du time slot, la pause, équivalente à une durée de trois octets est mise à parti par les couches supérieures pour effectuer tous les traitements nécessaires. La couche SFSK transmet la « P-sdu » à la couche physique dès la fin de la réception sans aucun traitement préalable.



**Figure 9 :** Structure d'une trame sur un time slot

## 4. Conclusion

L'algorithme pour implémenter sur DSP la modulation SFSK et son interface avec la couche physique ont été mis en œuvre. Le module client est capable d'envoyer une trame vers le module serveur à travers le réseau électrique. Les trames sont formatées selon le protocole PLAN. Nous avons utilisé le DSP TMS320F2801 [6] pour notre expérience. La chaîne complète (modulation, choix du PLL, synchronisation, construction de trame) de l'implémentation a été réalisée et testée. La visualisation des trames qui partent sur le réseau a été effectuée à l'aide d'un espion et des outils informatiques (logiciels open source). Pour évaluer la qualité de communication, nous avons mis en place un outil statistique qui mesure les nombres des communications OK (réussie) et celles KO (en échec). On décompte les nombres de communication OK pour voir l'efficacité de l'algorithme. C'est une technique d'évaluation purement subjective. Deux modes d'expériences ont été réalisés. Le premier mode est aucun équipement perturbateur connecté sur le réseau. Au vue de la statistique, la communication réussite est de 100 %. Le deuxième mode est avec un appareil perturbateur connecté sur le réseau. Nous avons branché un moteur électrique sur le réseau. Au vue de la statistique, le nombre de communication réussite est largement supérieur à celle de l'échec qui est à l'ordre de 80 % ce qui nécessite quand même une étude complémentaire sur la robustesse de la communication CPL avec la modulation SFSK pour palier à ce problème.

Il est important d'avoir le maximum de réussite d'échange par le CPL sur un réseau électrique dont le comportement est difficile à maîtriser, comme le cas de Madagascar. L'algorithme demande cependant une configuration des filtres numériques du premier ordre sous Matlab. L'utilisation des codages en assembleur est à envisager pour accélérer le temps de calcul des filtres, synchronisation et slot indicator. L'étape suivante de nos études est la mise en œuvre d'un banc d'essais au sein notre laboratoire pour réaliser des essais terrain, réseau électrique de Madagascar.

### Références

- [1] - JIRAMA, Madagascar, [www.jirama.mg](http://www.jirama.mg) (2016).
- [2] - R. RABARIVÉLO, *Reforme du Secteur Electrique à Madagascar, Multi-year expert meeting on services, development and trade: the regulatory and institutional dimension*, Geneva, (2015).
- [3] - IEC 61334-5-1, *Automatisation de la distribution à l'aide de systèmes de communication à courants porteurs — Partie 5-1 : Profils des couches basses — Profil SFSK*, (2001).
- [4] - M. C. BALI and C. REBAI, *Advanced DSP Based Narrowband CPL Modem for Smart Grids Applications*, 11th IEEE International Conference on Embedded Software and Systems, Paris, (2014).
- [5] - *Specifications for the implementation of SFSK modulation and PLAN protocol onto DSP, Rev 2*, (2005).
- [6] - Texas Instrument, *Digital Signal Processor TMS320F2801, rev. Data manual*, (2014).
- [7] - E. ROLAND and al., *Phase-Locked loops, Theory, Design and Applications*, (2003).
- [8] - X. CARCELLEC, *Réseaux CPL par la pratique*, Eyrolle ISBN-13 : 978-221211930, (2006).